

Best Available Copy

[First Hit](#)[Search Forms](#)[Search Results](#)[Help](#)[User Searches](#)[Preferences](#)[Logout](#)☐ [Generate Collection](#)[Print](#)

ES: Entry 1 of 1

File: JPAB

Feb 16, 1999

PUB-NO: JP411045977A

DOCUMENT-IDENTIFIER: JP 11045977 A

TITLE: MULTICHIP MODULE AND MANUFACTURE THEREOF

PUBN-DATE: February 16, 1999

INVENTOR-INFORMATION:

NAME

COUNTRY

YAMAZAKI, MATSUO

YAMASHITA, KIICHI

SEKINE, KENJI

YAMADA, KOJI

KAGAYA, OSAMU

SUZUKI, MASAHIRO

TENMYO, HIROYUKI

OKABE, HIROSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

APPL-NO: JP09201167

APPL-DATE: July 28, 1997

INT-CL (IPC): H01 L 27/01; H01 L 23/50; H01 L 25/00

ABSTRACT:

PROBLEM TO BE SOLVED: To shorten the development time and the manufacturing time of a multichip module having excellent high frequency characteristics, by forming the multichip module of laminated structure by the three layers of a top-face sealed substrate, a passive-element substrate and an active-element substrate.

SOLUTION: A multichip module 1 is formed in the laminated structure of a top-face sealed substrate 2, a passive-element substrate 3 and an active- element substrate 4. The top-face sealed substrate 2 is formed in structure having a first insulating layer 6 and first adhesive layer 7 on the rear of a metal plate 5, and a hollowed-out region 8 is formed to parts of the first insulating layer 6 and the first adhesive layer 7. An inert gas is sealed into the hollowed-out region 8, and a sealing film 30 is formed onto a side face. Since each substrate-forming temperature condition is determined discretely by forming the top-face sealed substrate 2, the passive-element substrate 3 and the active- element substrate 4 by separate process respectively in the multichip module 1, the constraint of each substrate-forming temperature condition is reduced, and the substrates are manufactured easily.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-45977

(43) 公開日 平成11年(1999) 2月16日

(51) Int. Cl.⁶

H 0 1 L 27/01

23/50

25/00

識別記号

3 0 1

F I

H 0 1 L 27/01

23/50

25/00

3 0 1

B

B

審査請求 未請求 請求項の数21 O L (全 12 頁)

(21) 出願番号 特願平9-201167

(22) 出願日 平成9年(1997) 7月28日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 山▲崎▼ 松夫

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 山下 喜市

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 関根 健治

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

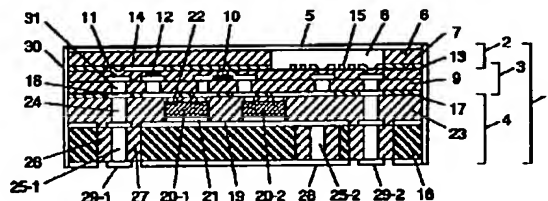
(54) 【発明の名称】 マルチチップモジュールおよびその製造方法

(57) 【要約】

【課題】 静電容量を絶縁層内に薄型で小型に形成し、モジュール寸法を小型化する。また、ベアチップ部品の放熱性を向上する。

【解決手段】 第2の絶縁層に耐熱温度の高い絶縁樹脂を用いて、その上に第2の絶縁層の耐熱温度以下で薄膜形成可能な高誘電体材料からなる大容量の静電容量と薄膜抵抗体材料からなる抵抗を小型に形成し、それぞれの受動素子を電気的に接続する基板構造の受動素子基板とした。また、ベース基板に熱伝導性の高い材料を用いて、その上のアース導体層上にベアチップ部品をフェイスアップで搭載して第4の絶縁層で埋め込み、基板表面と裏面に電極を設ける基板構造の能動素子基板とした。

図 1



【特許請求の範囲】

【請求項1】薄膜形状からなる複数の抵抗およびコンデンサおよびコイルと、ベアチップ部品形状からなる複数のベアチップ部品またはICチップ（以下、ベアチップ部品と呼ぶ）を有してなるマルチチップモジュールにおいて、金属板を有してなる上面シールド基板と、上記抵抗およびコンデンサおよびコイルを有してなる受動素子基板と、上記ベアチップ部品を有してなる能動素子基板との積層構造からなることを特徴とするマルチチップモジュール。

【請求項2】上記上面シールド基板の絶縁層は、上記受動素子基板の表面に形成したコイルの形成領域に相当する領域をくりぬき構造としていることを特徴とする請求項1に記載のマルチチップモジュール。

【請求項3】上記受動素子基板の内層には複数の抵抗およびコンデンサが薄膜形状に形成されており、最上層には複数のコイルがスパイラル形状に形成されていることを特徴とする請求項1に記載のマルチチップモジュール。

【請求項4】上記能動素子基板の表面に設けたアース導体層上には複数の上記ベアチップ部品が導電材を用いてフェイスアップで搭載され、これら複数の上記ベアチップ部品は、上記ベアチップ部品の電極面高さまでの絶縁樹脂からなる絶縁層にて埋め込まれていることを特徴とする請求項1に記載のマルチチップモジュール。

【請求項5】上記能動素子基板のベース基板がSiウエハあるいは金属板からなり、上記ベース基板内部および絶縁層内部に電気接続ポストが形成されていることを特徴とする請求項1に記載のマルチチップモジュール。

【請求項6】上記能動素子基板のベース基板裏面部の絶縁層表面および電気接続ポスト表面にそれぞれ外部電極が形成されていることを特徴とする請求項1に記載のマルチチップモジュール。

【請求項7】上記上面シールド基板に設けた絶縁層くりぬき領域に不活性ガスを封入していることを特徴とする請求項1に記載のマルチチップモジュール。

【請求項8】上記マルチチップモジュール側面がシールド膜で覆われていることを特徴とする請求項1に記載のマルチチップモジュール。

【請求項9】金属板を有してなる上面シールド基板と、薄膜形状の抵抗およびコンデンサおよびコイル等の受動素子を有してなる受動素子基板と、ベアチップ部品を有してなる能動素子基板を所定の層配置にて積層構造とすることを特徴とするマルチチップモジュールの製造方法。

【請求項10】上記上面シールド基板の絶縁層および接着層は、上記受動素子基板表面に形成したコイルの形成領域に相当する領域をエッチング方法にてくりぬき加工することを特徴とする請求項9に記載のマルチチップモジュールの製造方法。

【請求項11】上記受動素子基板は、絶縁樹脂からなる多層基板の内層に複数の抵抗およびコンデンサを薄膜加工方法にて所望の形状に形成し、最上層に複数のコイルを薄膜加工方法とメッキ方法の組合せにてスパイラル形状に形成することを特徴とする請求項9に記載のマルチチップモジュールの製造方法。

【請求項12】上記能動素子基板は、ベース基板の表面にアース導体層を設け、上記アース導体層上に複数のベアチップ部品を導電材を用いてフェイスアップで搭載し、上記ベアチップ部品の電極面高さまでカーテンコート方法にて絶縁樹脂を平坦に成膜することを特徴とする請求項9に記載のマルチチップモジュールの製造方法。

【請求項13】上記能動素子基板は、上記ベース基板にSiウエハあるいは金属板を用い、上記ベース基板内部および絶縁層内部に印刷方法またはメッキ方法またはエッチング方法にて電気接続ポストを形成することを特徴とする請求項12に記載のマルチチップモジュールの製造方法。

【請求項14】上記能動素子基板は、上記ベース基板裏面部の絶縁層表面および電気接続ポスト表面に外部電極を形成することを特徴とする請求項13に記載のマルチチップモジュールの製造方法。

【請求項15】上記上面シールド基板に設けた絶縁層くりぬき領域に不活性ガスを封入することを特徴とする請求項9に記載のマルチチップモジュールの製造方法。

【請求項16】上記マルチチップモジュールの全側面にメッキ方法にてシールド膜を成膜することを特徴とする請求項9に記載のマルチチップモジュールの製造方法。

【請求項17】薄膜形状からなる複数の抵抗およびコンデンサおよびコイルと、複数のベアチップ部品を有してなるマルチチップモジュールにおいて、金属板を有してなる上面シールド基板と、上記抵抗およびコンデンサおよびコイル等の受動素子および上記ベアチップ部品の一部を有してなる複合基板と、上記ベアチップ部品の残りを有してなる能動素子基板との積層構造を有してなることを特徴とするマルチチップモジュール。

【請求項18】上記上面シールド基板は、上記複合基板の表面に形成したコイルの形成領域およびベアチップ部品の搭載領域に相当する領域の絶縁層をくりぬき構造としていることを特徴とする請求項17に記載のマルチチップモジュール。

【請求項19】上記複合基板の内層には複数の抵抗およびコンデンサを薄膜形状に形成されており、最上層には複数のコイルがスパイラル形状に形成されていると共に、複数のベアチップ部品がフリップチップ方法で搭載されていることを特徴とする請求項17に記載のマルチチップモジュール。

【請求項20】金属板を有してなる上面シールド基板と、薄膜形状の抵抗およびコンデンサおよびコイル等の

受動素子および複数のベアーチップ部品を有してなる複合基板と、複数のベアーチップ部品を有してなる能動素子基板を所定の層配置にて積層構造とすることを特徴とするマルチチップモジュールの製造方法。

【請求項21】上記複合基板は、絶縁樹脂からなる多層基板の内層に複数の抵抗およびコンデンサを薄膜加工方法にて所望の形状に形成し、最上層に複数のコイルを薄膜加工方法とメッキ方法の組合せにてスパイラル形状に形成し、最上層の他の部分に複数のベアーチップ部品をフリップチップ方法で搭載することを特徴とする請求項20に記載のマルチチップモジュールの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マルチチップモジュールおよびその製造方法に関し、詳しくは、小型で高周波特性がすぐれ、かつ消費電力が少ないマルチチップモジュールおよびその製造方法に関する。

【0002】

【従来の技術】電子装置の小型化と高性能化の一手段として、ベアーチップ部品（所望の機能を有するチップ状の各種ベアーチップ部品、ICおよび表面弾性波素子(SAW)を本明細書ではベアーチップ部品と総称する）と抵抗、コンデンサおよびコイルなど各種受動素子を複数個相互に接続して一つのモジュールを構成する、いわゆるマルチチップモジュールが使用されている。

【0003】また、プリント配線板の薄型化、高密度化、さらに低コスト化の一手段として、各配線層毎に個別に積層板を形成して、複数の上記積層板を多層構造に積層して多層基板を形成する、いわゆるビルドアップ基板が使用されている。

【0004】例えば、従来例1（第5回マイクロエレクトロニクスシンポジウム、1993年6月号123頁）には、表面に薄膜抵抗が形成されたガラスエポキシ基板上にエポキシ樹脂膜を全面に塗布し、このエポキシ樹脂膜上に薄膜コンデンサおよびICチップを形成し、多層配線によって互いに接続された構造が記載されており、上記ICチップはフェイスダウン（電気的な接続を基板側のチップ表面において行う）で接続されている。

【0005】また、従来例2（特開平5-47856号）には、セラミックプリント板などのパッケージに複数個のステージ（凹部）を設け、このステージ内にベアーチップ部品を、共晶ボンディングもしくは導電性接着材を用いてフェイスアップ（電気的な接続を基板とは反対側のチップ表面で行う）でマウントし、上記パッケージとベアーチップ部品上に、ポリイミド等の絶縁膜を回転塗布によって全面に形成して表面を平滑にし、上記パッケージの表面上に形成された接続パッドと上記ベアーチップ部品の上面上のパッドを、上記絶縁膜上に設けた配線パターンによって互いに接続した構造が記載されている。

【0006】さらに、従来例3（第10回、回路実装学

術講演大会、1996年3月号81頁）には、熱可塑性ポリイミド接着剤付き銅ポリイミドフィルムを基板材料に用いて、導電性ポリイミドペーストを充填したビアにて層間を接続し、一括積層によりポリイミドフィルム多層基板を構築する多層化プロセスが記載されている。

【0007】

【発明が解決しようとする課題】基板上に複数個の受動素子とベアーチップ部品が搭載されたマルチチップモジュールでは、薄型で小型な受動素子の実装と、消費電力の大きな半導体チップの放熱効率向上が大きな課題になっている。

【0008】たとえば、コンデンサの誘電体膜を形成するための従来の代表的な方法の一つは、上記従来例1に記載されているように、 SiO_2 膜をECR-CVD法を用いて常温で形成する方法である。しかし、この方法は、 SiO_2 膜の比誘電率が小さいので、バイパスコンデンサなど大きな静電容量が必要なコンデンサでは、面積を広く（例えば SiO_2 膜の場合 $1\text{mm}^2/130\text{pF}$ ）する必要がある。

【0009】また、高い誘電率を得られる誘電体膜としては、STO(SrTiO_3)膜などが知られており、スパッタ法などで成膜される。しかし、このような膜は何れも成膜時の温度を $200\sim 350^\circ\text{C}$ 程度にする必要があるため、エポキシ基板上へ形成することができず、耐熱温度が上記成膜時の温度より高い、例えば耐熱温度が 350°C 以上であるポリイミド樹脂などの有機材料または無機材料の絶縁膜上に形成されている。

【0010】一方、電気的接続をベアーチップ部品の上面において行う、フェイスアップによる従来のベアーチップ部品の実装構造では、上記従来例2に記載されているように、パッケージとしてはセラミックなどの絶縁基板が使用されている。しかし、一般に絶縁基板は、導電体および半導体に比べて熱伝導率が一桁以上低いので、発生した熱を基板を介して効果的に外部に発散させることができず、高出力で電力損失の大きい電力増幅器等の実装には不適である。また、ベアーチップ部品裏面の共晶ボンディングまたは導電性接着材層は、上記配線パターンと電気的に接続されておらず、下地が絶縁体であるため、高周波領域での安定な回路動作が得られない。

【0011】このように、従来のマルチチップモジュールでは、コンデンサの誘電体膜の誘電率が小さいため、バイパスコンデンサなど大容量のコンデンサが必要である場合は、コンデンサの所要面積が大きくなり、モジュールが大きくなってしまふ。また、パッケージとして絶縁基板を用いた場合は、放熱性能が低い、および高周波領域での回路動作が不安定である、などの問題があった。

【0012】本発明の目的は、上記従来の問題を解決し、コンデンサなどの所要面積が小さく、十分高い放熱性能と高周波領域における安定な回路動作が得られるマ

ルチチップモジュール、およびこのようなマルチチップモジュールの開発時間と製造時間を短縮することができるビルドアップ方式のマルチチップモジュールの製造方法を提供することである。

【0013】

【課題を解決するための手段】上記目的を達成するため、本発明のマルチチップモジュールは、金属板を有してなる上面シールド基板と、抵抗およびコンデンサおよびコイルを少なくとも具備してなる受動素子基板と、ベアチップ部品を具備し、ベース基板上に形成されたアース導体層上に上記ベアチップ部品を少なくともフェ

イスアップで配置してなる能動素子基板との積層構造でなされていることを特徴とする。

【0014】すなわち、本発明においては、上記上面シールド基板の第1の絶縁層が、上記受動素子基板の表面に形成したコイルの形成領域に相当する領域をくりぬき構造としている。そのため、上記受動素子基板の表面に形成したコイルは、その表面を誘電率が空気に近い不活性ガスで覆うことにより、良好な高周波特性が得られる。

【0015】また、上記受動素子基板が、薄膜形状からなる複数の抵抗やコンデンサを第2の絶縁層および第3の絶縁層内部に設け、さらにスパイラル形状からなる複数のコイルを第3の絶縁層上に設ける構造としている。そのため、上記受動素子基板に形成した上記各種受動素子は薄型で小型に形成できるので、上記受動素子基板の第2の絶縁層下面に設ける基板間接続電極と上記各種受動素子との間および上記各種受動素子間の配線は短くなり、この点も高周波特性には有利である。

【0016】また、上記能動素子基板が、ベース板にS iウエハあるいは金属板を用いてなり、上記ベース板の表面にアース導体層が設けられ、そのアース導体層上には複数のベアチップ部品が導電材を用いてフェイスアップで搭載され、これら複数のベアチップ部品を上記ベアチップ部品の電極面高さまでの絶縁樹脂からなる第4の絶縁層で埋め込み、上記ベース板内部および上記第4の絶縁層内部にそれぞれ電気接続ポストを形成した構造としている。上記ベース基板として金属板またはS iを用いることにより、熱電導率を絶縁性基板よりはるかに大きくでき、上記ベアチップ部品からの熱の放散に極めて好ましい。また、上記ベアチップ部品を導電材を用いて上記アース導体層上にフェイスアップで搭載しているので高周波特性の向上に有利である。

【0017】また、上記ベース板内部の電気接続ポストの一部の信号線用ポストおよび電源線用ポストが、絶縁樹脂からなる電極絶縁層内部に形成され、上記第4の絶縁層内部の電気接続ポストと電氣的に接続した構造としているため、上記信号線用ポストおよび電源線用ポストは上記ベース板と互いに絶縁分離される。

【0018】また、上記ベース板内部の電気接続ポスト

の他の部分、すなわちアース線用ポストが、絶縁樹脂からなる電極絶縁層内部に形成され、上記アース導体層と電氣的に接続した構造としている。そのため、上記アース線用ポストが上記信号線用ポストおよび電源線用ポストと同時に形成できる。

【0019】また、上記能動素子基板の裏面部の上記ベース板面および上記ベース板内部の電気接続ポスト面にそれぞれ外部電極を形成した構造としている。そのため、本発明のマルチチップモジュールは、それらを搭載するマザーボードとのアース線および信号線接合が容易となり、上記マザーボードへの熱伝導性能向上と高周波特性向上に有利である。

【0020】また、上記マルチチップモジュールの全側面をシールド膜で覆ったハーメチックシール構造としている。そのため、上面シールド基板の金属板と能動素子基板裏面の外部電極と側面シールド膜にて6面シールド構造となり、高周波特性向上に有利である。

【0021】上記上面シールド基板と受動素子基板と能動素子基板は、それぞれ別工程で加工され、その後所定の層配置すなわち上層に上面シールド基板、中層に受動素子基板、下層に能動素子基板を配置し、所定の位置合わせにて積層構造に形成する。そのため、上記各基板の製造期間を短縮でき、設計変更も容易となる。

【0022】上記上面シールド基板は、片面金属板張り積層板を用い、その第1絶縁層および接着層の、受動素子基板表面に形成されているコイルの形成領域に相当する領域をエッチング方法にてくりぬき加工している。そのため、上記上面シールド基板を上記受動素子基板に積層することで、コイルの上面および側面を不活性ガス等で覆うことが可能となる。

【0023】上記受動素子基板は、絶縁樹脂からなる第2の絶縁層上に複数の抵抗およびコンデンサを周知の薄膜加工で所望の形状に形成し、絶縁樹脂からなる第3の絶縁層上に複数のスパイラル形状からなるコイルを薄膜加工方法とメッキ方法の組合せにて形成している。また、上記受動素子基板の内層および表面にはそれぞれ所定形状の配線パターンが形成され、裏面には所定形状の配線パターンと層間接続電極と接着層が形成され、抵抗、コンデンサ、コイル、配線パターンおよび層間接続電極はそれぞれ電極ポストにて電氣的に接続されている。

【0024】上記第2の絶縁層としては、例えばポリイミド膜など有機高分子樹脂膜を使用すれば、WS i N膜などからなる抵抗と、STOなどの高誘電体膜からなるコンデンサを200〜350℃で成膜することができるので好ましい。

【0025】上記能動素子基板は、ベース基板の材料にS i基板あるいは金属性基板を用い、その表面にアース導体層を設け、上記アース導体層上に複数のベアチップ部品を導電材を用いてフェイスアップで搭載し、上記

10

20

30

40

50

ベアーチップ部品の電極面高さまでカーテンコート方法にて絶縁樹脂からなる第4の絶縁層を平坦に成膜している。これにより、上記ベース基板が上記ベアーチップ部品の放熱器として利用できる。また、アース導体層上にベアーチップ部品を導電材を用いて搭載するので、上記ベアーチップ部品の高周波性能の面で好ましい。さらに、第4の絶縁層を平坦に成膜してベアーチップ部品の電極面を同じ面高さに露出させることで、能動素子基板との積層が容易となる。

【0026】また、上記ベース基板には、予めエッチング法にて電気接続ポスト用通し穴を開け、その中に絶縁樹脂からなる絶縁材を封入し、上記絶縁材にレーザ加工方法あるいはエッチング方法にて上記通し穴より小さな電気接続ポスト孔を開け、その中にメッキ方法あるいは埋込み方法にて電気接続ポストを形成している。この加工方法により、ベース基板材料に導電性の金属板あるいは半導電性のSi板を用いることが容易となる。

【0027】さらに、上記ベース基板には裏面に外部電極が設けられ、外部信号電極と上記ベース基板間は電気的に絶縁され、外部アース電極と上記ベース基板間は電気的に接続されている。

【0028】このように、それぞれの加工手段で形成した上記上面シールド基板と受動素子基板と能動素子基板は、不活性ガス中で一括積層方法にて積層加工を行う。これにより、上記上面シールド基板に設けた絶縁層くりぬき領域に不活性ガスを封入することができる。

【0029】積層構造に加工した多数個のマルチチップモジュールを有する積層板は、上記シールド基板表面と上記能動素子基板裏面をそれぞれメッキ耐性レジスト等で覆い、予め上記シールド基板表面の金属板と上記能動素子基板裏面の外部電極パターンに設けたスクライブライン上を切断加工して、個々のマルチチップモジュールを切り出す。切り出したマルチチップモジュールは、メッキ方法にてそれぞれの全側面に所定のメッキ処理を施し、その後、先に施した上記メッキ耐性レジスト等を除去する。このような本発明のマルチチップモジュールは、大型基板上でバッチ処理により同時に大量生産できるので、低コスト化に有利である。

【0030】また、本発明のマルチチップモジュールは、上記受動素子基板を複合基板構造にすることもできる。すなわち、上記受動素子基板の表面に複数の上記ベアーチップ部品をフリップチップで搭載して、受動素子と能動素子を混載した複合基板とするものである。

【0031】この上記複合基板を用いるマルチチップモジュールでは、上面シールド基板の第1の絶縁層が、複合基板の表面に形成したコイルの形成領域とベアーチップ部品の搭載領域に相当する領域をくりぬき構造としている。そのため、コイルおよびベアーチップ部品の表面は誘電率が空気に近い不活性ガスで覆うことができ、良好な高周波特性が得られる。

【0032】また、上記複合基板が、第2の絶縁層および第3の絶縁層内部に薄膜形状からなる複数の抵抗やコンデンサを設け、第3の絶縁層上にスパイラル形状からなる複数のコイルを設け、さらに第3の絶縁層上に複数の上記ベアーチップ部品をフリップチップで搭載する構造としている。

【0033】上面シールド基板は、片面金属板張り積層板を用い、その第1絶縁層および接着層を複合基板表面に形成されているコイルの形成領域に相当する領域および複合基板表面にフリップチップで搭載されているベアーチップ部品の搭載領域をエッチング方法にてくりぬき加工している。そのため、上記上面シールド基板を上記複合基板に積層することで、上記コイルおよび上記ベアーチップ部品は、その表面を不活性ガス等で覆うことが可能となる。

【0034】上記複合基板は、絶縁樹脂からなる第2の絶縁層上に複数の抵抗およびコンデンサを周知の薄膜加工で所望の形状に形成し、絶縁樹脂からなる第3の絶縁層上に複数のスパイラル形状からなるコイルを薄膜加工方法とメッキ方法の組合せにて形成し、さらに複数のベアーチップ部品をフリップチップで搭載している。また、受動素子基板の内層および表面にはそれぞれ所定形状の配線パターンが形成され、裏面には所定形状の配線パターンと層間接続電極と接着層が形成されている。抵抗、コンデンサ、コイル、配線パターンおよび層間接続電極はそれぞれ電極ポストにて電気的に接続されている。

【0035】上記第2の絶縁層としては、例えばポリイミド膜など有機高分子樹脂膜を使用すれば、WSiN膜などからなる抵抗と、STOなどの高誘電体膜からなるコンデンサを200〜350℃で成膜することができるので好ましい。また、上記ベアーチップ部品のフリップチップ実装は、上記複合基板の諸形成温度以下の温度で行うことが好ましい。

【0036】

【発明の実施の形態】本発明のマルチチップモジュールの第1の実施の形態は、上面シールド基板と受動素子基板と能動素子基板の3層による積層構造で形成される。

【0037】上記上面シールド基板は、Cu等からなる金属板の裏面にエポキシあるいはポリイミド系の樹脂等からなる第1の絶縁層とエポキシあるいはポリイミド系の樹脂等からなる第1の接着層を有する層構造となっており、上記第1の絶縁層と上記第1の接着層の一部にくりぬき領域を設けている。

【0038】上記受動素子基板は、高耐熱性樹脂のポリイミド系の樹脂等からなる第2の絶縁層の表面に上記第2の絶縁層の耐熱温度（例えば350℃）以下の温度で成膜することができる材料の膜（例えばWSiN膜；シート抵抗率100Ω/□、膜厚200nm）からなる抵抗、STO等の薄膜からなるコンデンサ、Cr/Cu/

Cr等からなる配線層、およびエポキシあるいはポリイミド系の樹脂等からなる第3の絶縁層が形成され、上記第2の絶縁層の所定の位置にCuあるいはAg等のメッキあるいはペーストからなる複数の電気接続ポストが形成されている。また、上記第3の絶縁層の表面にはCr/Cu/Cr等からなる配線層およびコイルが形成され、上記第2の絶縁層の裏面にはCr/Cu/Cr等からなる層間電極層およびエポキシあるいはポリイミド系の樹脂等からなる第2の接着層が形成されている。

【0039】上記能動素子基板は、金属板あるいはSi基板からなるベース基板の表面にアース導体層が形成され、その上に複数のペアーチップ部品がAu/Sn等の共晶半田あるいはAg等のペーストからなる導電材を用いてフェイスアップで搭載されている。また、上記ベース基板の表面には、上記ペアーチップ部品の電極の表面高さまでエポキシ系の樹脂等からなる第4の絶縁層が成膜され、上記第4の絶縁層の所定の位置にCuあるいはAg等のメッキあるいはペーストからなる複数の電気接続ポストが形成されている。

【0040】また、ベース基板には複数の通し穴内にCuあるいはAg等のメッキあるいはペーストからなる電気接続ポストが形成され、上記電気接続ポストはエポキシあるいはポリイミド系の樹脂等からなる絶縁材にて上記ベース基板と電気的に絶縁されている。さらに、上記ベース基板の裏面にはCr/Cu/Cr等からなる外部アース電極が、上記絶縁材の裏面には同様のCr/Cu/Cr等からなる外部信号電極が形成されている。

【0041】また、上面シールド基板のくりぬき領域にはN₂等の不活性ガスが封入され、モジュールの全側面はCr/Cu/Cr等のシールド膜が成膜されている。

【0042】このような構造からなる本発明のマルチチップモジュールでは、上面シールド基板の金属板とシールド膜が上記外部アース電極に電気的に接続されている。また、能動素子基板内のアース導体層は電気接続ポストを介して外部アース電極に電気的に接続されている。

【0043】また、上記受動素子基板内のコンデンサの一電極面は、各配線層と電気接続ポストにて外部信号電極に電気的に接続されている。また、上記コンデンサの他の電極面は、各配線層と電気接続ポストにて上記ペアーチップ部品の電極に電気的に接続されている。同様に抵抗の各電極は、各配線層と電気接続ポストにて、各ペアーチップ部品の各電極にそれぞれ電気的に接続され、コイルの一電極は、各配線層と電気接続ポストにて、上記ペアーチップ部品の電極に電気的に接続されている。また、コイルの他の電極は、各配線層と各電気接続ポストにて、外部信号電極に電気的に接続されている。

【0044】本発明のマルチチップモジュールの第2の実施の形態は、上面シールド基板と受動素子基板と能動素子基板をそれぞれ別行程で形成した後、所定の層配置にて積層構造としたものである。

【0045】上面シールド基板は、Cu等からなる上記金属板と裏面にエポキシあるいはポリイミド系の樹脂等からなる上記第1の絶縁層とエポキシあるいはポリイミド系の樹脂等からなる第1の接着層を有する3層構造からなる積層板を用い、上記第1の絶縁層と上記接着層の一部分に周知のエッチング加工にて上記くりぬき領域を形成している。このくりぬき領域は上記受動素子基板上の上記コイルの形成領域に対応させている。

【0046】受動素子基板は、高耐熱性樹脂のポリイミド系の樹脂等からなる第2の絶縁層の表面に第2の絶縁層の耐熱温度（例えば350℃）以下の温度で成膜することができる材料の膜（例えばWSiN膜；シート抵抗率100Ω/□、膜厚200nm）からなる抵抗、およびSTO等の薄膜からなるコンデンサ、Cr/Cu/Cr等からなる配線層を周知の薄膜加工方法にて所望の形状に順次形成し、その上にエポキシあるいはポリイミド系の樹脂等からなる第3の絶縁層を形成する。さらに、上記第3の絶縁層の表面にはCr/Cu/Cr等からなる配線層およびコイルを周知の薄膜加工方法とメッキ方法の組合せにて所望の形状に形成する。

【0047】次に、上記第2の絶縁層には周知のエッチング方法またはレーザ加工にて裏面より所定の位置に所定形状の電気接続ポスト用の穴を開け、周知のCuあるいはAg等のメッキ方法あるいはペースト充填方法にて上記電気接続ポストを形成する。さらに、上記第2の絶縁層の裏面にはCr/Cu/Cr等からなる層間接続電極を周知の薄膜加工方法とメッキ方法の組合せにて所望の形状に形成し、層間接続電極の周囲に周知の成膜方法にてエポキシあるいはポリイミド系の樹脂等からなる第2の接着層を形成する。

【0048】ここで、後の工程で形成させるものがそれより先の工程で形成させるものの耐熱温度より低い温度で形成されることが好ましい。

【0049】能動素子基板は、ベース基板に金属板あるいはSi基板を用い、上記ベース基板に所定形状の電気接続ポストの通し穴を周知のエッチング方法にて複数個形成し、上記通し穴にエポキシあるいはポリイミド系の樹脂等からなる絶縁材を周知の方法で充填し、上記絶縁材に周知のレーザ加工にて穴開け加工して周知のCuあるいはAg等のメッキ方法あるいはペースト充填方法にて上記電気接続ポストを形成する。

【0050】次に、上記ベース基板の表面に周知の薄膜形成方法とメッキ方法でアース導体層を形成し、その上に複数のペアーチップ部品をAu/Sn等の共晶半田あるいはAg等のペーストからなる導電材を用いてフェイスアップで搭載する。その後、上記ベース基板の表面に上記ペアーチップ部品の上記電極の表面高さまでエポキシ系の樹脂等からなる第4の絶縁層を周知のカーテンコート方法にて平坦に成膜し、上記第4の絶縁層の所定の位置に周知のレーザ加工にて穴開け加工して周知のCu

あるいはAg等のメッキ方法あるいはペースト充填方法にて複数の電気接続ポストを形成する。

【0051】ここで、上記ベアーチップ部品の電極および上記電気接続ポストと上記受動素子基板の層間接続電極とを確実に電氣的に接続するためには、上記電気接続ポストを形成した後、上記ベアーチップ部品の上記電極および上記電気接続ポストおよび上記第4の絶縁層の表面を研削あるいは研磨あるいはエッチングして、電極および上記電気接続ポストの上端部を確実に露出させることが好ましい。また、後の工程で形成させるものがそれより先の工程で形成させるものの耐熱温度より低い温度で形成されることが好ましい。

【0052】次に、ベース基板の裏面にCr/Cu/Cr等からなる外部アース電極、上記絶縁材の裏面にCr/Cu/Cr等からなる外部信号電極を周知の薄膜加工方法とメッキ方法の組合せにて同時に形成する。

【0053】次に、上面シールド基板と受動素子基板と能動素子基板を所定の位置と層構造に配置して、周知のN₂等の不活性ガス中にて一括でプレス加工して積層構造のモジュール基板とする。これにより、上記上面シールド基板に設けた上記くりぬき領域に上記不活性ガスを封入している。

【0054】次に、多数個のマルチチップモジュールを形成してなるモジュール基板の上面シールド基板の表面と能動素子基板の裏面をメッキ耐性樹脂で覆い、予め上面シールド基板の金属層と能動素子基板の裏面に形成したスクライブライン上を周知のモジュール基板切断方法にて所定寸法のマルチチップモジュールに切断する。

【0055】次に、各上記マルチチップモジュールの全側面に周知のCr/Cu/Cr等のメッキ加工方法にてシールド膜を成膜し、その後、周知のエッチング方法にて上記メッキ耐性樹脂を除去して、所望のマルチチップモジュールを製造する。

【0056】本発明のマルチチップモジュールの第3の実施の形態は、上面シールド基板と、抵抗とコンデンサとコイルとベアーチップ部品が搭載されている複合基板と、能動素子基板の積層構造からなる。

【0057】上面シールド基板のくりぬき領域は、複合基板上の上記コイル形成領域とベアーチップ部品搭載領域に対応している。

【0058】上記複合基板は、第3の絶縁層の表面に配線層およびコイルが形成され、上記配線層上にベアーチップ部品がフリップチップ実装により搭載され、内層に上記抵抗と上記コンデンサを形成されている。

【0059】上記能動素子基板は、ベース基板上にベアーチップ部品をフェイスアップ実装により搭載し、裏面に外部アース電極と外部信号電極を設けている。

【0060】また、上記上面シールド基板の上記くりぬき領域は、N₂等の不活性ガスで覆っている。さらに、上記モジュールの全側面にはシールド膜を成膜してい

る。

【0061】本発明のマルチチップモジュールの第4の実施の形態は、上面シールド基板と複合基板と能動素子基板をそれぞれ別行程で形成した後、所定の層配置にて積層構造としたものである。

【0062】上面シールド基板では、第1の絶縁層と第1の接着層の一部分のくりぬき領域を上記複合基板上のコイルの形成領域と上記ベアーチップ部品の搭載領域に対応する領域に形成する。

10 【0063】上記複合基板では、抵抗とコンデンサを周知の薄膜加工方法とメッキ方法の組合せにより第2の絶縁層上に形成し、コイルを周知の薄膜加工方法とメッキ方法の組合せにより第3の絶縁層上に形成し、上記第3の絶縁層の表面の配線層上にベアーチップ部品をフリップチップ実装で搭載する。

【0064】能動素子基板は、ベース基板に金属板あるいはSi基板を用い、上記ベース基板に電気接続ポストの通し穴を形成し、上記通し穴に絶縁材を充填し、上記絶縁材に電気接続ポストを形成する。

20 【0065】次に、上記ベース基板の表面にアース導体層を形成し、その上に複数のベアーチップ部品を導電材を用いてフェイスアップで搭載する。その後、上記ベース基板の表面に第4の絶縁層を平坦に成膜し、上記第4の絶縁層の所定の位置に電気接続ポストを形成する。

【0066】次に、上記ベース基板の裏面に外部アース電極、絶縁材の裏面に外部信号電極を同時に形成する。

30 【0067】次に、上記上面シールド基板と受動素子基板と能動素子基板とを所定の位置と層構造に配置して、不活性ガス中にて積層構造のモジュール基板とする。これにより、上記上面シールド基板に設けた上記くりぬき領域に不活性ガスを封入できる。

【0068】次に、多数個のマルチチップモジュールを形成してなる上記モジュール基板の上記上面シールド基板の表面と上記能動素子基板の裏面をメッキ耐性樹脂で覆い、予め上記モジュール基板表面と裏面に形成したスクライブライン上を切断する。

40 【0069】次に、各上記マルチチップモジュールの全側面にシールド膜を成膜し、その後、上記メッキ耐性樹脂を除去して、所望のマルチチップモジュールを製造する。

【0070】このように本発明のマルチチップモジュールは、上記上面シールド基板と上記受動素子基板と上記能動素子基板をそれぞれ別行程で形成することで、それぞれの基板形成温度条件が個別に決められることから、それぞれの基板形成温度条件の制約が少なくなり、基板作製が容易になる。

50 【0071】また、上記抵抗および上記コンデンサにおいては、これら受動素子との熱膨張率差が小さい有機物の熱硬化性樹脂からなる絶縁膜上に、この絶縁膜の耐熱温度より低い温度で形成されるので、膜の剥離やクラッ

ク発生などの障害が生じる恐れがない。

【0072】さらに、上記コンデンサの誘電体膜として、例えばSTOなど誘電率が SiO_2 よりはるかに大きい高誘電体の膜を使用すれば、 SiO_2 を用いた場合より所要面積ははるかに小さく、厚さも薄いコンデンサが得られる。膜厚は200nm程度が好ましい。このような高誘電体材料膜を用いると、コンデンサを薄型で小型にできるので、バイパスコンデンサ（例えば $0.01\text{mm}^2/100\text{pF}$ 、誘電体膜厚200nm）やカップリングコンデンサ（例えば $0.001\text{mm}^2/10\text{pF}$ 、誘電体膜厚200nm）の形成が容易になり、上記コンデンサ、上記抵抗および上記ベアチップ部品の各電極間を最短の配線長で接続できると共に、従来のモジュール構造に比べ特に上記コンデンサの占有面積が大幅に小さく（例えば従来の30分の1程度）なり、薄く小型なマルチチップモジュール構造が実現できる。

【0073】さらに、上記ベース基板として、熱膨張率が低く、熱伝導率の高いCu、Al、Fe、Ni等の金属、これらの合金またはこれらの複合材料を使用してもよい。

【0074】さらに、大型基板上でバッチ処理により同時に大量生産することで、低コスト化を図ることができる。

【0075】以下、本発明の実施例についてさらに詳細に説明する。図1は前記本発明の第1の実施例のマルチチップモジュールの断面図である。図においてマルチチップモジュール1は、上面シールド基板2と受動素子基板3と能動素子基板4の積層構造でなっている。

【0076】上面シールド基板2は、金属板5の裏面に第1の絶縁層6と接着層7を有した層構造となっており、第1の絶縁層6と第1の接着層7の一部にくりぬき領域8を設けている。

【0077】受動素子基板3は、第2の絶縁層9の表面に抵抗10、配線層11、コンデンサ12および第3の絶縁層13が形成され、第2の絶縁層9の所定の位置に複数の電気接続ポスト31が形成されている。また、第3の絶縁層13の表面には配線層14およびコイル15が形成され、第2の絶縁層9の裏面には電極層16および第2の接着層17が形成されている。

【0078】能動素子基板4は、ベース基板18の表面にアース導体層19が形成され、その上に複数のベアチップ部品20が導電材21を用いてフェイスアップで搭載されている。また、ベース基板18の表面には、ベアチップ部品20の電極22の表面高さまで第4の絶縁層23が成膜され、第4の絶縁層23の所定の位置に複数の電気接続ポスト24が形成されている。また、ベース基板18には通し穴26内に電気接続ポスト25が形成され、電気接続ポスト25は絶縁材27にてベース基板18と電気的に絶縁されている。さらに、ベース基板18の裏面には外部アース電極28が、絶縁材27の

裏面には外部信号電極29が形成されている。

【0079】また、マルチチップモジュール1は、くりぬき領域8に不活性ガスが封入され、側面にシールド膜30が成膜されている。

【0080】このような構造からなるマルチチップモジュール1では、金属板5とシールド膜30が外部アース電極28に電気的に接続されている。また、アース導体層19は電気接続ポスト25-2にて外部アース電極28に電気的に接続されている。

10 【0081】また、コンデンサ12の上部電極面は、配線層14と配線層11と電気接続ポスト31と配線層16と電気接続ポスト24と電気接続ポスト25-1にて、外部信号電極29-1に電気的に接続されている。また、コンデンサ12の下部電極面は、配線層11と電気接続ポスト31と配線層16にて、ベアチップ部品20-1の電極22に電気的に接続されている。

20 【0082】また、抵抗10の各電極は、配線層11と電気接続ポスト31と配線層16にて、ベアチップ部品20-1およびベアチップ部品20-2の各電極22にそれぞれ電気的に接続されている。

【0083】また、コイル15の中央部電極は、配線層11と電気接続ポスト31と配線層16にて、ベアチップ部品20-2の電極22に電気的に接続されている。また、コイル15の外周部電極は、配線層14と配線層11と電気接続ポスト31と配線層16と電気接続ポスト24と電気接続ポスト25-1にて、外部信号電極29-2に電気的に接続されている。

30 【0084】図2は前記本発明の第2の実施例のマルチチップモジュール製造方法の断面図である。図においてマルチチップモジュール1は、上面シールド基板2と受動素子基板3と能動素子基板4をそれぞれ別行程で形成した後、所定の層配置にて積層構造としている。

40 【0085】図(a)では、金属板5と第1の絶縁層6と第1の接着層7を3層構造に積層した積層板33を用い、第1の絶縁層6と第1の接着層7の一部に周知のエッチング加工にてくりぬき領域8を形成して上面シールド基板2を形成している。このくりぬき領域8は受動素子基板3上のコイル15の形成領域に対応させている。このようにして、図(a)の上面シールド基板2を形成した。

【0086】図(b)では、第2の絶縁層9の表面に抵抗10、配線層11およびコンデンサ12を周知の薄膜加工方法にて所望の形状に順次形成し、その上に第3の絶縁層13を形成する。さらに、第3の絶縁層13の表面には配線層14およびコイル15を周知の薄膜加工方法とメッキ方法の組合せにて所望の形状に形成する。

50 【0087】次に、第2の絶縁層9には周知のエッチング方法またはレーザ加工にて裏面より所定の位置に所定形状の電気接続ポスト31用の穴を開け、周知の導電材充填方法あるいはメッキ方法にて電気接続ポスト31を

形成する。さらに、第2の絶縁層9の裏面には電極16を周知の薄膜加工方法とメッキ方法の組合せにて所望の形状に形成し、電極16の周囲に周知の成膜方法にて第2の接着層17を形成する。このようにして、図(b)の受動素子基板3を形成した。

【0088】図(c)では、ベース基板18にSiウエハを用い、ベース基板18に電気接続ポスト25の通し穴26を周知のエッチング方法にて形成し、通し穴26に絶縁材27を充填し、絶縁材27に周知のレーザ加工にて穴開け加工して周知の導電材充填方法あるいはメッキ方法にて電気接続ポスト25を形成する。

【0089】次に、ベース基板18の表面にアース導体層19を形成し、その上に複数のベアチップ部品20を導電材21を用いてフェイスアップで搭載する。その後、ベース基板18の表面にベアチップ部品20の電極22の表面高さまで第4の絶縁層23を周知のカーテンコート方法にて平坦に成膜し、第4の絶縁層23の所定の位置に周知のレーザ加工にて穴開け加工して周知の導電材充填方法あるいはメッキ方法にて複数の電気接続

ポスト24を形成する。

【0090】次に、ベース基板18の裏面に外部アース電極28、絶縁材27の裏面に外部信号電極29を周知の薄膜加工方法とメッキ方法の組合せにて同時に形成する。このようにして、図(c)の能動素子基板4を形成した。

【0091】図(d)では、図(a)から図(c)で述べた上面シールド基板2と受動素子基板3と能動素子基板4を所定の位置で層構造に配置する。

【0092】その後、上面シールド基板2と受動素子基板3と能動素子基板4を周知の不活性ガス中に一括でプレス加工して積層構造とする。これにより、上面シールド基板2に設けた絶縁層くりぬき領域8に不活性ガスを封入している。

【0093】図(e)では、上面シールド基板2の表面と能動素子基板4の裏面をメッキ耐性樹脂で覆い、周知のモジュール基板切断方法にて所定のモジュール寸法に切断する。

【0094】次に、各モジュールの全側面を周知のメッキ加工方法にてシールド膜30を成膜し、金属板5とシールド膜30と外部アース電極28を電氣的に接続する。その後、周知のエッチング方法にて上記メッキ耐性樹脂を剥離する。このようにして、図2(e)のマルチチップモジュール1を作製した。

【0095】図3は、本発明の第3の実施例のマルチチップモジュール101は、上面シールド基板102と、抵抗110とコンデンサ112とコイル115とベアチップ部品120-2が搭載されている複合基板103と、能動素子基板104の積層構造を有している。

【0096】上面シールド基板102は、金属板105

の裏面に第1の絶縁層106と第1の接着層107を有した層構造となっており、第1の絶縁層106と第1の接着層107の一部にくりぬき領域108を設けている。このくりぬき領域108は、複合基板103上のコイル115形成領域とベアチップ部品120-2搭載領域に対応している。

【0097】複合基板103は、第3の絶縁層113の表面に配線層114およびコイル115が形成され、配線層114上にベアチップ部品120-2がフリップチップ実装により搭載されている。

【0098】能動素子基板104は、ベース基板118上にベアチップ部品120-1をフェイスアップ実装により搭載し、ベアチップ部品120-1が第4の絶縁層123で覆われ、第4の絶縁層123の所定の位置に複数の電気接続ポスト124が形成されている。また、ベース基板118には通し穴126内に電気接続ポスト125が形成され、電気接続ポスト125は絶縁材127にてベース基板118と電氣的に絶縁されている。さらに、ベース基板118の裏面には外部アース電極128が、絶縁材127の裏面には外部信号電極129が形成されている。

【0099】また、くりぬき領域108はN₂等の不活性ガスを充填し、さらに、モジュールの全側面にはシールド膜30を成膜している。

【0100】図4は本発明の第4の実施例のマルチチップモジュール製造方法の断面図である。図においてマルチチップモジュール101は、上面シールド基板102と複合基板103と能動素子基板104をそれぞれ別行程で形成した後、所定の層配置にて積層構造にならしめている。

【0101】図(a)は上面シールド基板102であり、第1の絶縁層106と接着層107の一部のくりぬき領域108を、複合基板103上のコイル115の形成領域とベアチップ部品120の搭載領域に相当する領域に形成している。

【0102】図(b)は複合基板103であり、抵抗110とコンデンサ112とコイル115を周知の薄膜加工方法とメッキ方法の組合せにより形成し、第3の絶縁層113表面の配線層114上にベアチップ部品120をフリップチップ実装で搭載している。

【0103】図(c)は、能動素子基板104である。ベース基板118に電気接続ポスト125とアース導体層119を形成し、その上に複数のベアチップ部品120を導電材121を用いてフェイスアップで搭載する。次に、ベース基板118の表面に複数のベアチップ部品120を埋めるべく第4の絶縁層123を成膜し、第4の絶縁層123の所定の位置に複数の電気接続ポスト124を形成する。次に、ベース基板118の裏面に外部アース電極128、絶縁材127の裏面に外部信号電極129を同時に形成する。

【0104】図(d)では、上面シールド基板102と複合基板103と能動素子基板104を所定の位置と層構造に配置し、その後、これらを周知の不活性ガス中にて一括でプレス加工して積層構造とする。これにより、上面シールド基板2に設けたくりぬき領域108に不活性ガスを封入している。

【0105】図(e)では、上面シールド基板102の表面と能動素子基板104の裏面をメッキ耐性樹脂で覆い、周知のモジュール基板切断方法にて所定のモジュール寸法に切断する。

【0106】次に、各モジュール101の全側面を周知のメッキ加工方法にてシールド膜130を成膜し、金属板105とシールド膜130と外部アース電極128を電気的に接続する。その後、周知のエッチング方法にて上記メッキ耐性樹脂を剥離する。このようにして、マルチチップモジュール101を作製した。

【0107】図5は、図1に示す本発明の第1の実施例のマルチチップモジュールの回路構成の一例である。図では、入力信号を外部電極29-1より入力し、コンデンサ12を介してベアーチップ部品20-1に入力する。ベアーチップ部品20-1の出力信号は抵抗10を介してベアーチップ部品20-2に入力する。ベアーチップ部品20-2の出力信号はコイル15を介して外部電極29-2から外部へ出力する。

【0108】図6は、図2に示す本発明の第2の実施例のマルチチップモジュール製造方法の斜視図である。図のように、本製造方法では、多数個のマルチチップモジュール1を大面積のウエハ型基板18-1または角形基板18-2上に一括で形成して、予めモジュール基板18の表面あるいは裏面に形成したスクライブライン31上で切断して個々のマルチチップモジュール1としている。

【0109】以上、図6までの実施例では、モジュール1個当たり複数個のベアーチップ部品20を搭載した構造について説明してきたが、モジュール1個当たり1個のベアーチップ部品20を搭載した構造においても、図2に示す様なモジュール製造方法が有効である。

【0110】

【発明の効果】上記説明から明らかなように、本発明によれば、上面シールド基板と受動素子基板あるいは複合基板と能動素子基板をそれぞれ別工程で加工できるため、製造時間を短縮できると共に設計変更が容易とな

る。

【0111】また、受動素子基板あるいは複合基板上のコイル表面とベアーチップ部品を不活性ガスで覆うことができるため、コイルおよびベアーチップ部品は良好な高周波特性が得られる。また、STOなどの高誘電体材料膜をコンデンサの誘電体膜として使用することにより、コンデンサの所要面積は従来より大幅に小さくなり、小面積のマルチチップモジュールが実現された。

【0112】また、能動素子基板のベース基板に熱伝導性のよい金属や半導体を使用することによって、ベアーチップ部品からの放熱は極めて良好になり、その結果、高周波仕様で消費電力の大きなベアーチップ部品を搭載することが可能になった。また、ベアーチップ部品がアース導体層上に直接配置されているため、ベアーチップ部品裏面とアース導体層の接続抵抗が最小になり、高周波領域での回路動作は従来よりはるかに安定化された。

【0113】また、上面シールド基板と受動素子基板と能動素子基板がそれぞれ別工程で形成されるため、各基板の形成温度条件が簡易となり、特に受動素子基板に用いる基板材料および抵抗やコンデンサの薄膜材料の選択範囲が広がる。また、各基板毎に、後の工程で形成されるものがそれより先の工程で形成されるものの耐熱温度より低い温度で形成されるため、各製造工程において膜剥離やクラックなどの障害が発生する恐れはない。

【図面の簡単な説明】

【図1】本発明の第1の実施例のマルチチップモジュールの断面図。

【図2】本発明の第2の実施例のマルチチップモジュール製造方法の断面図。

【図3】本発明の第3の実施例のマルチチップモジュールの断面図。

【図4】本発明の第4の実施例のマルチチップモジュール製造方法の断面図。

【図5】本発明の第1の実施例の回路構成図。

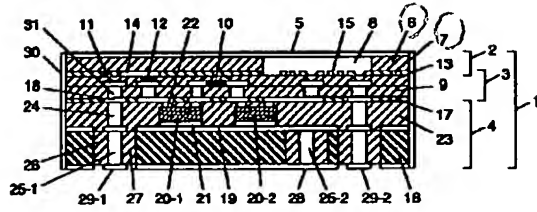
【図6】本発明の第2の実施例の製造方法の斜視図。

【符号の説明】

1…マルチチップモジュール、2…上面シールド基板、3…受動素子基板、4…能動素子基板、5…金属板、8…くりぬき領域、10…抵抗、12…コンデンサ、15…コイル、18…ベース基板、20…ベアーチップ部品、28…外部アース電極、29…外部信号電極、30…シールド膜。

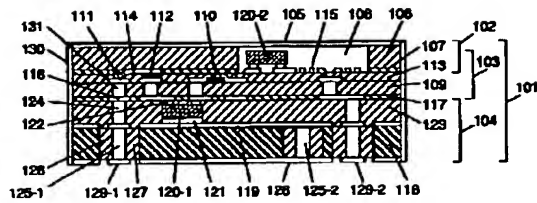
【図1】

図 1



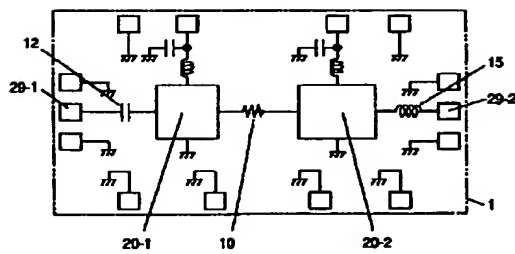
【図3】

図 3



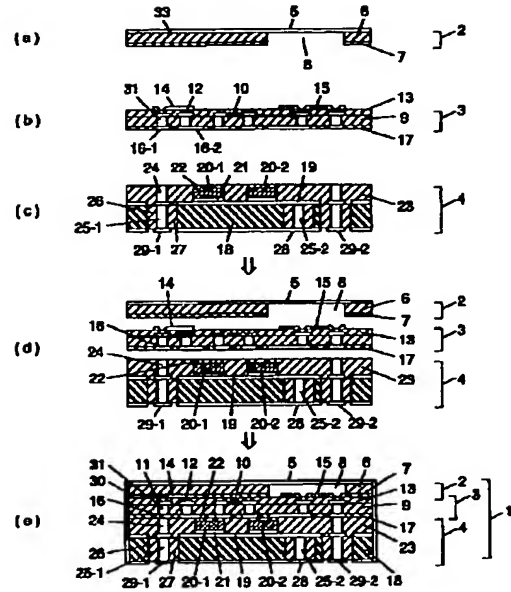
【図5】

図 5



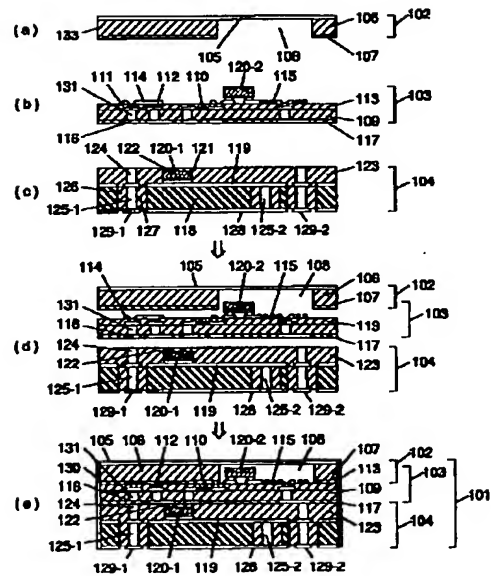
【図2】

図 2



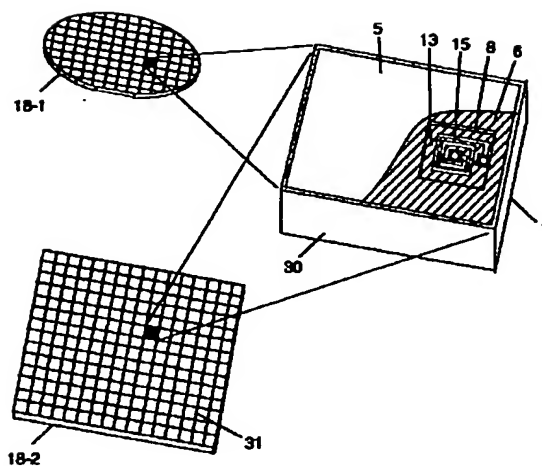
【図4】

図 4



【図6】

図6



フロントページの続き

(72)発明者 山田 宏治
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 加賀谷 修
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 鈴木 正博
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 天明 浩之
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 岡部 寛
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.